

Il Sottosistema di Memoria

Memoria RAM

Prof. G. Ascia

■ RAM: Random Access Memory

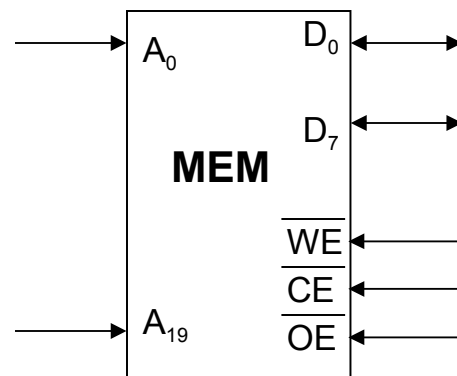
- Tempi di accesso indipendenti dalla posizione
- Statica o Dinamica

■ Valutata in termini di

- Dimensione (di solito espressa in GBytes)
- Velocità (intesa come tempo di accesso solitamente in ns)
- Dissipazione di potenza (in Watt assoluti o per bit)
- Costo (molto aleatorio)
- Integrazione (o densità) solitamente espressa in nm relativamente alla dimensione minima definibile del processo tecnologico utilizzato

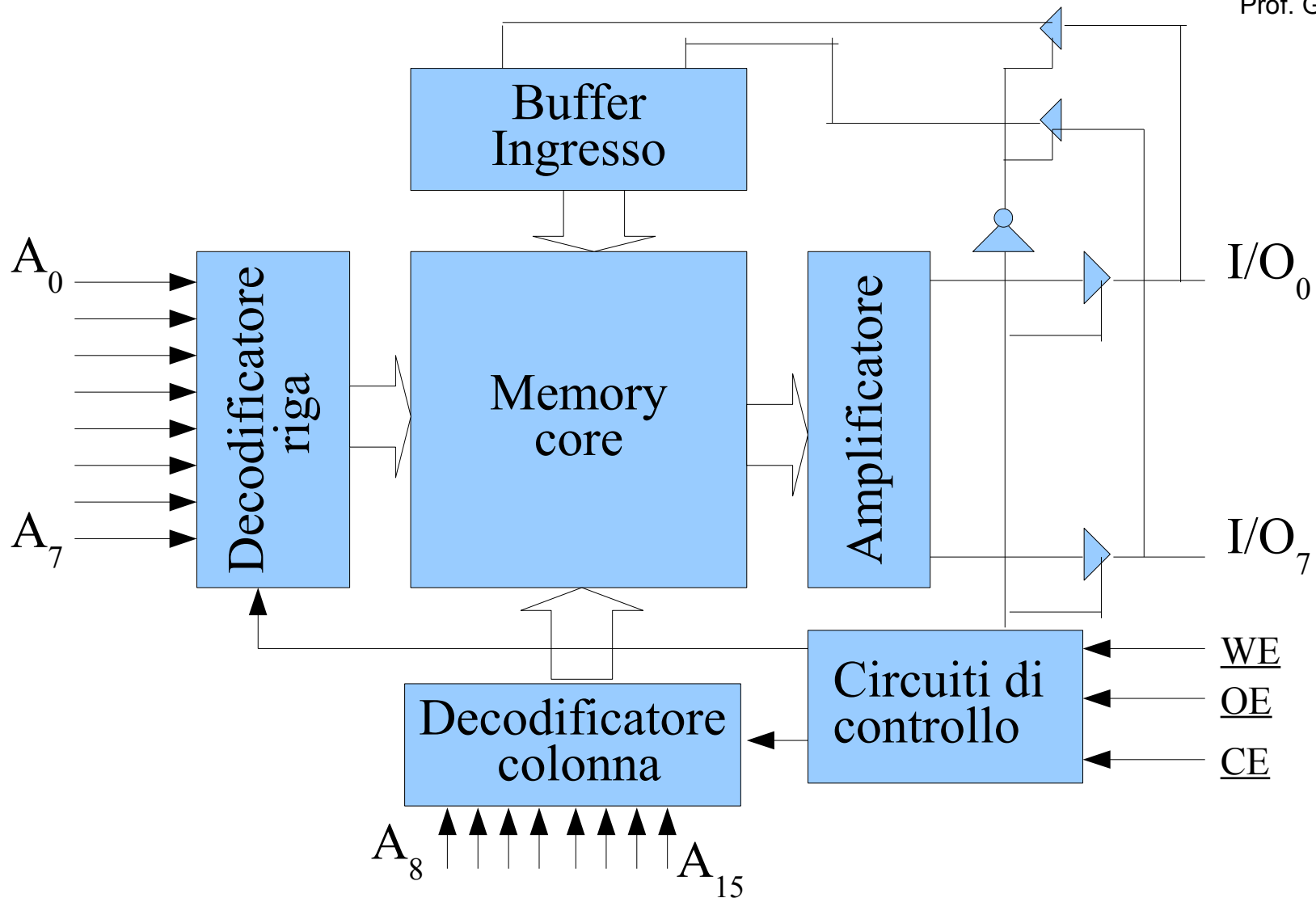
RAM Statica

- Per memorizzare un bit sono necessari 4 o 6 transistor
 - Bassa densità e quindi bassa capacità per chip
 - Alta potenza dissipata
 - Bassi tempi di accesso → alta velocità
- Usata per i registri interni al processore e per la Cache



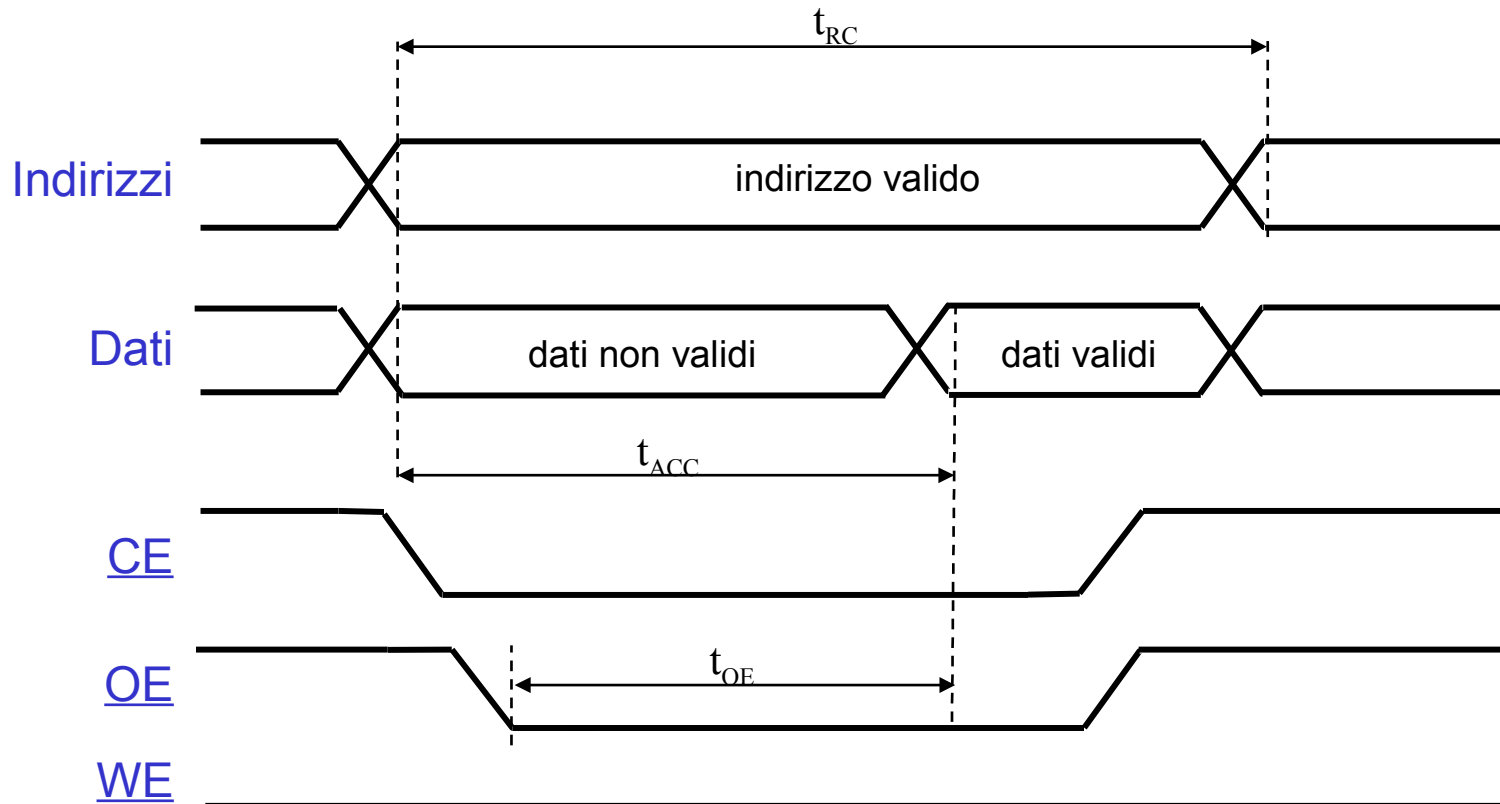
Schema a blocchi di una SRAM 64Kx8

Prof. G. Ascia



Ciclo di Lettura in una SRAM

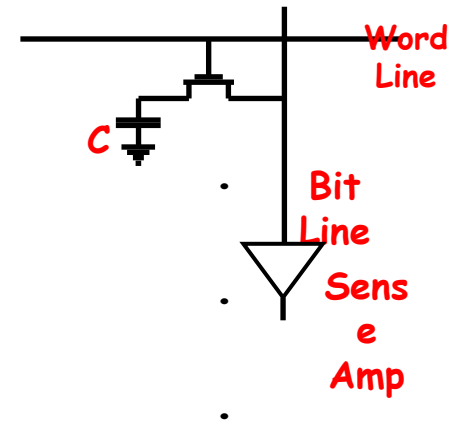
Prof. G. Ascia



RAM Dinamica

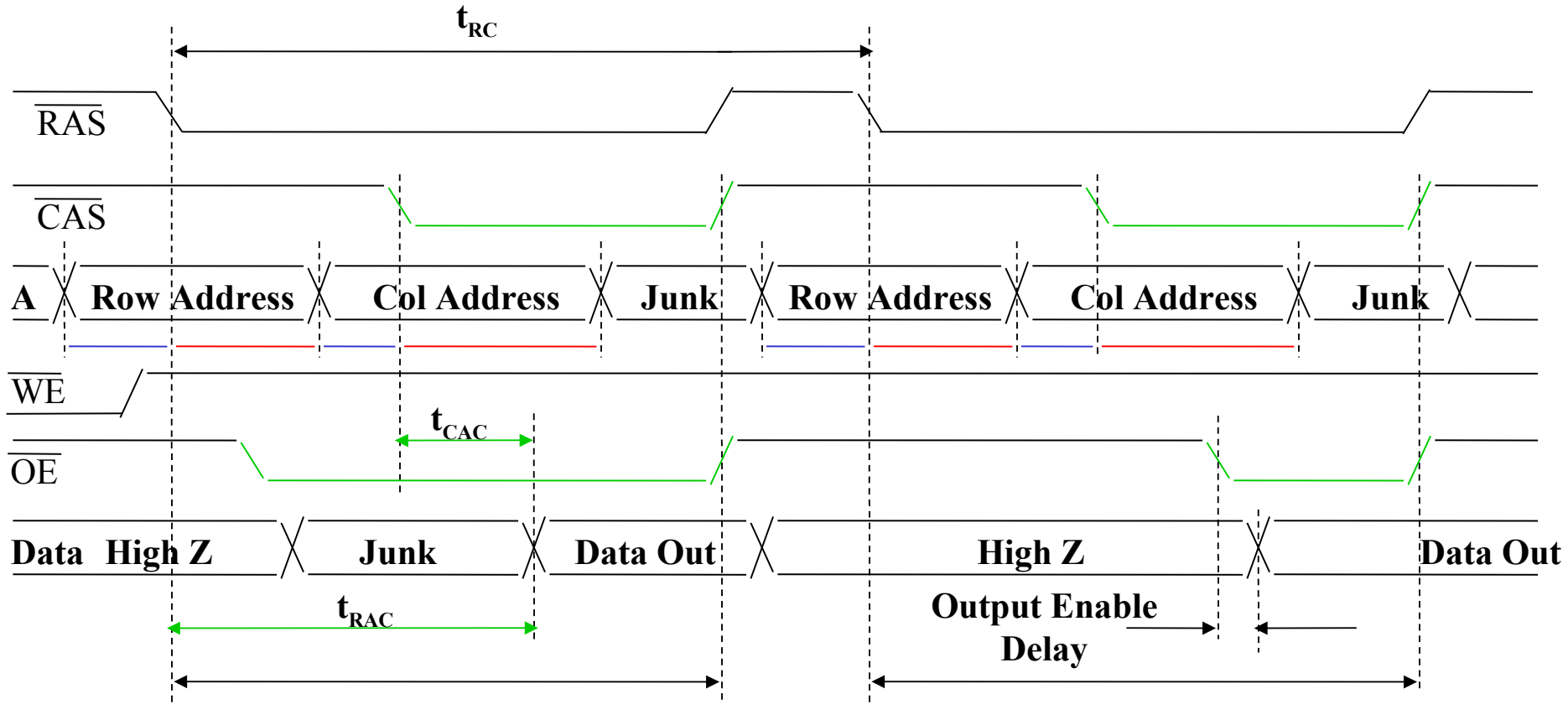
Prof. G. Ascia

- Per memorizzare un bit è necessario 1 solo transistor MOS
 - Si sfrutta la carica immagazzinata nella capacità parassita del gate
 - Alta densità e quindi alta capacità per chip
 - Bassa potenza dissipata
 - Necessita dei cicli di rinfresco per evitare la perdita di carica sulla capacità parassita
 - Necessita di controllo di errore
 - Bisogna indirizzare prima le righe e poi le colonne della matrice di bit (o byte)
 - Alti tempi di ciclo di lettura → velocità più bassa delle statiche
 - Per l'interfacciamento con la CPU e la gestione del refresh necessitano, praticamente sempre, di un dispositivo chiamato DRAM Controller



Ciclo di Lettura in una DRAM

Prof. G. Ascia



Early Read Cycle: $\overline{\text{OE}}$ asserted before CAS

Late Read Cycle: $\overline{\text{OE}}$ asserted after CAS

Relazione velocità CPU/velocità Memoria

Prof. G. Ascia

Siano

- f : frequenza del clock
- N : numero di cicli di clock richiesti dalla CPU per l'accesso in memoria
 - $T = N / f$
- essendo T il tempo richiesto dalla CPU per completare l'operazione
- Per una RAM statica dev'essere $t_{\text{acc}} < T$
- Per una RAM dinamica dev'essere $t_{\text{RC}} < T$
- Se la memoria è lenta si devono introdurre dei cicli di Wait e la relazione diventa:

$$T = (N + N_w) / f > t_{\text{acc}}, t_{\text{RC}}$$

Organizzazione della Memoria

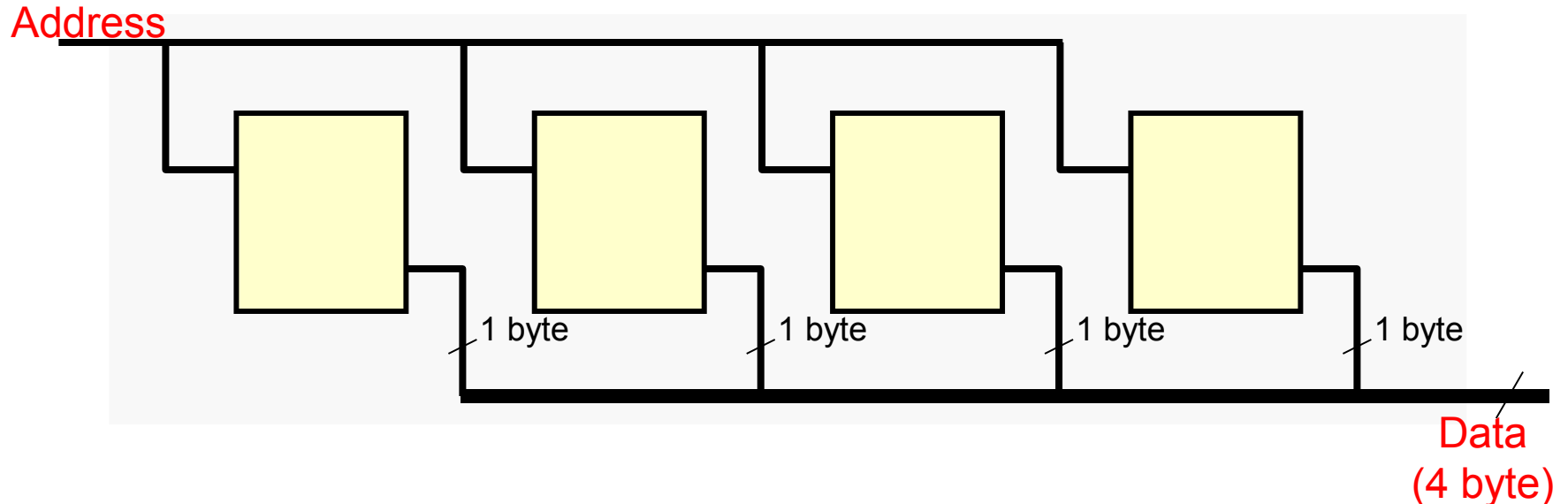
Prof. G. Ascia

Parametri da considerare

Tipo di integrati, loro parallelismo e dimensione

Parallelismo del BUS dati e dimensione complessiva desiderata

Per aumentare il parallelismo si può sfruttare il principio del Memory Interleaving



Decodifica degli Indirizzi

Indirizzamento Gerarchico

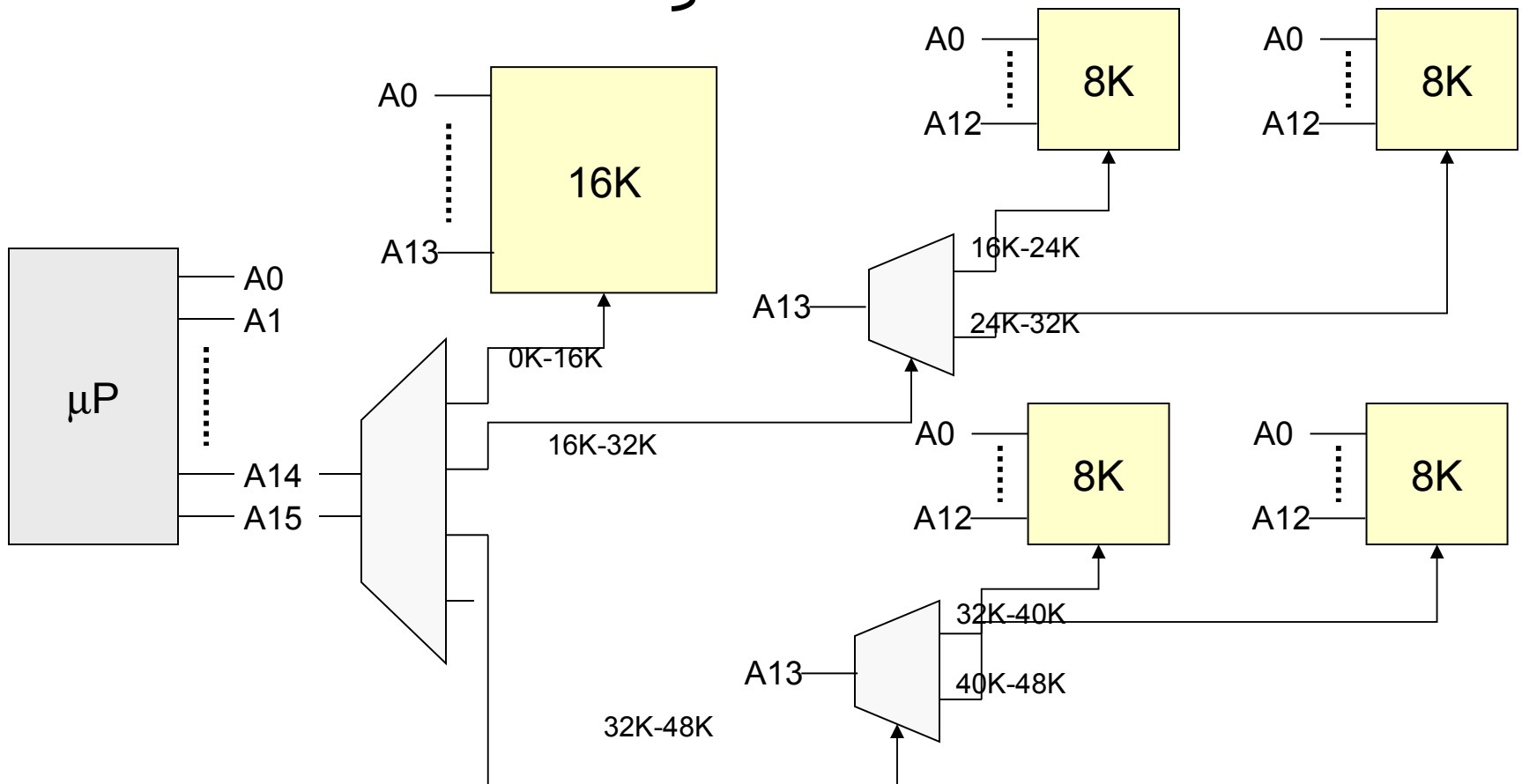
Prof. G. Ascia

Indirizzi a 16 bit (memoria indirizzabile 64K)

1 banco di memoria da 16K

4 banchi di memoria da 8K

} 48K



Decodifica degli Indirizzi

Indirizzamento Gerarchico

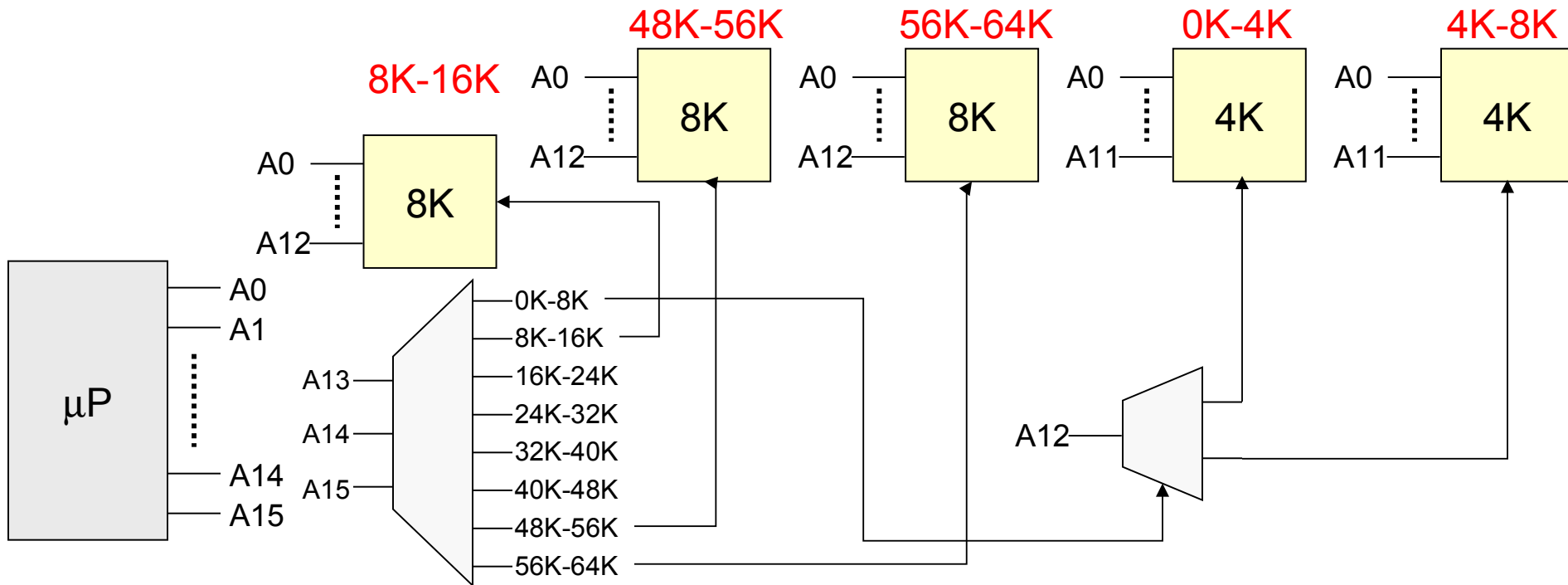
Prof. G. Ascia

Indirizzi a 16 bit (memoria indirizzabile 64K)

3 banche di memoria da 8K

2 banche di memoria da 4K

} 48K



Decodifica degli Indirizzi

Indirizzamento Lineare

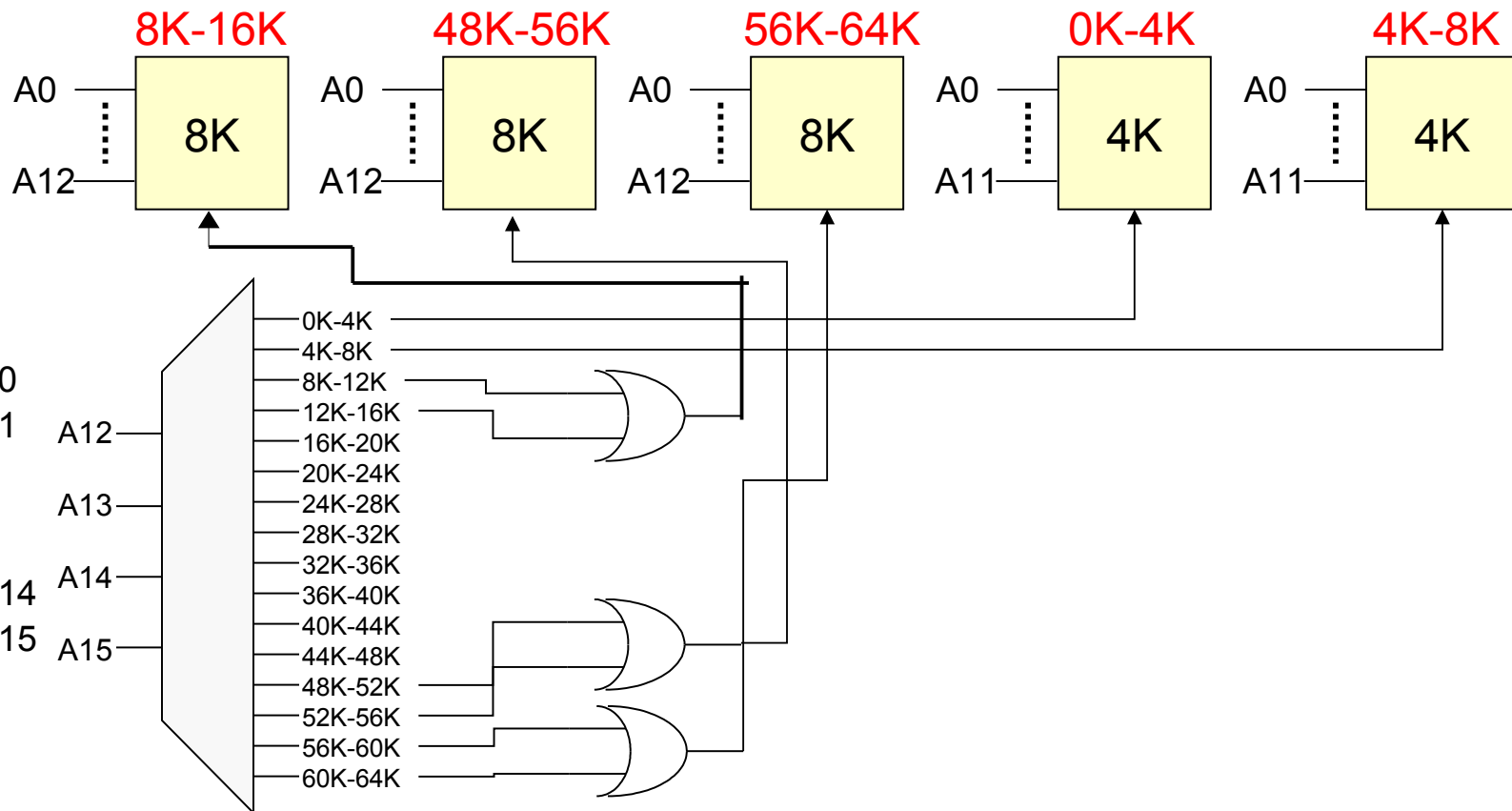
Prof. G. Ascia

Indirizzi a 16 bit (memoria indirizzabile 64K)

3 banche di memoria da 8K

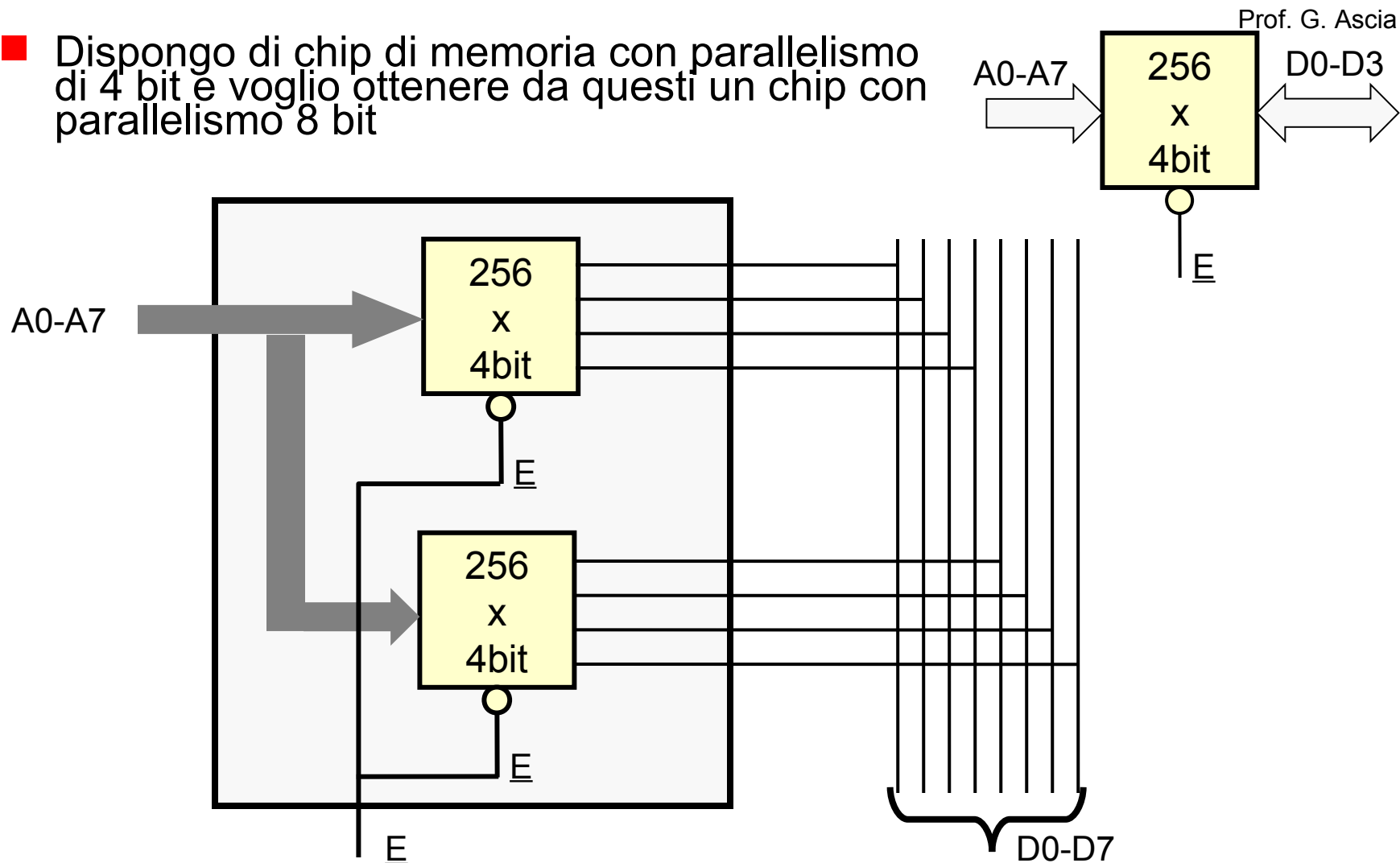
2 banche di memoria da 4K

} 48K



Collegamento dei Chip di Memoria in Parallelo

- Dispongo di chip di memoria con parallelismo di 4 bit e voglio ottenere da questi un chip con parallelismo 8 bit



Tipi di DRAM asincrona

Prof. G. Ascia

■ FPM-DRAM (Fast Page Mode)

→ Viene inviato una sola volta l'indirizzo di riga per più accessi consecutivi in memoria

→ Bus a 66 MHz, temporizzazione 6-3-3-3 con memorie da 70 ns

■ EDO-RAM (Extended Data out)

→ La negazione del CAS non disabilita i registri di uscita e i dati sono disponibili fino a quando non viene asserito il CAS.

→ L'accesso può iniziare prima che sia stato concluso il precedente.

→ Bus a 66 MHz, temporizzazione 5-2-2-2 con memorie da 50..70 ns

■ BEDO-RAM (Burst Extended Data out)

→ Una logica interna permette di generare autonomamente i tre indirizzi consecutivi al primo

→ Bus a 66 MHz, temporizzazione 5-2-2-2 con memorie da 50..70 ns

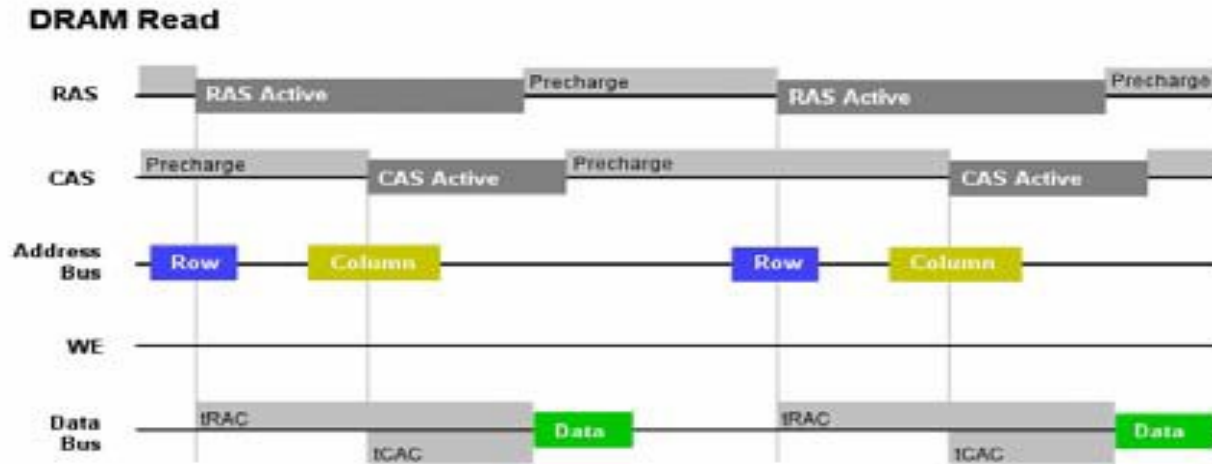
DRAM sincrone

Prof. G. Ascia

- Sono caratterizzate da un'interfaccia sincrona
- Una volta inviati gli indirizzi la memoria esegue una serie di operazioni sincronizzate con il clock esterno e dopo un numero prefissato di cicli i dati vengono letti
- S-DRAM (Synchronous)
 - I trasferimenti avvengono su un fronte del clock
 - La SDRAM consente il trasferimento a burst
 - Bus a 100 MHz, temporizzazione 6-1-1-1

Confronto DRAM/SDRAM

Prof. G. Ascia



DDR-DRAM (Double Data Rate)

Prof. G. Ascia

- Sfrutta entrambi i fronti per trasferire i dati
- Permettono quindi un data rate doppio rispetto alle SDRAM tradizionali
- Di solito viene utilizzata un'architettura dove l'ampiezza del bus interno è doppia rispetto al bus esterno